

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-340167

(43)Date of publication of application : 10.12.1999

(51)Int.Cl.

H01L 21/285  
H01L 21/203  
H01L 21/301  
// H01L 21/768

(21)Application number : 10-140984

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 22.05.1998

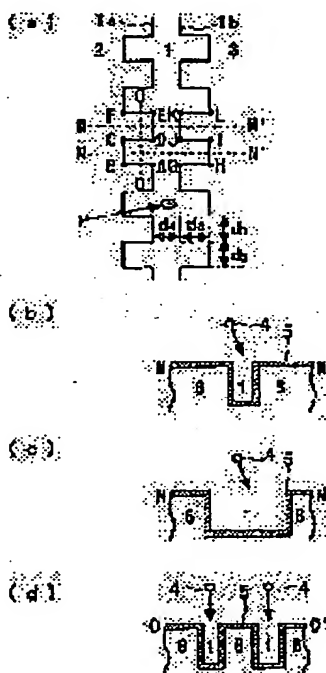
(72)Inventor : TAYA MASATOSHI  
ONO TAKIO  
MURATA NAOFUMI

## (54) SEMICONDUCTOR DEVICE AND MANUFACTURE OF IT

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To prevent stripping of a film due to insufficient coverage of a sputter film, by forming the contour of a side wall at a groove part formed in a chip region into a protrusion or recess.

**SOLUTION:** At a groove part 1, the contours of counter side walls 1a and 1b are so formed as to comprise a recess or protrusion. Here, the recesses of the counter side walls 1a and 1b or the protrusions of them are made to face each other. On the wall surfaces of sides DE and BC of the side wall 1a of the groove part 1, a sputter film 5 is difficult to be formed as it is in the shade part of sputter. Meanwhile, sputter particles 4 are made incident on sides AB, CD, EF of the side wall 1a of the groove part 1, so a sputter film 5 is normally formed on the sides AB, CD, and EF, for good coverage. By reinforcing the side BC with the sides AB and CD of good coverage while the side DE with the sides CD and EF of good coverage, the stripping of film at the sputter film 5 is prevented.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平11-340167

(43)公開日 平成11年(1999)12月10日

(51)Int.Cl.<sup>6</sup>  
H01L 21/285  
21/203  
21/301  
// H01L 21/768

識別記号

F I  
H01L 21/285 S  
21/203 S  
21/78 L  
21/90 A

審査請求 未請求 請求項の数 6 O L (全 6 頁)

(21)出願番号 特願平10-140984

(22)出願日 平成10年(1998)5月22日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 田矢 真敏

東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内

(72)発明者 大野 多喜夫

東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内

(72)発明者 村田 直文

東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内

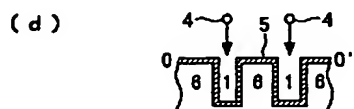
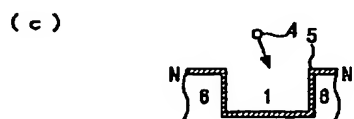
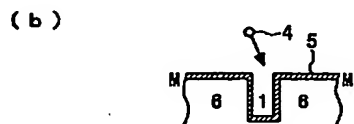
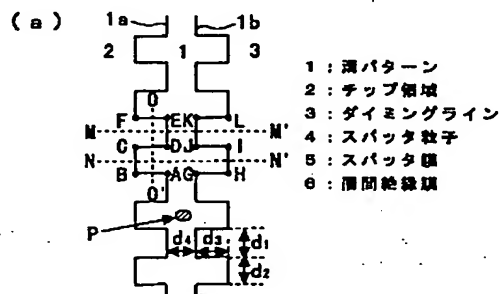
(74)代理人 弁理士 高田 守 (外1名)

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 半導体デバイスの製造において、チップの内  
部あるいは周辺部におけるスパッタ膜のカバレッジ不良  
に起因する膜剥がれを防止する。

【解決手段】 半導体基板10の表面においてチップ領  
域2を画する溝部1をこの溝部側壁の輪郭が凸部又は凹  
部を有するように形成し、その後、チップ領域2の表面  
から溝部1の内面に連続してスパッタ膜5を形成し、溝  
部1の外側に沿って半導体基板をダイシングする。



## 【特許請求の範囲】

【請求項 1】 半導体ウェーハの主面に形成されたチップ領域と、上記チップ領域に形成された溝部と、上記チップ領域の表面から上記溝部の内面に連続して形成されたスパッタ膜を備えるものにおいて、上記溝部の側壁の輪郭が凹部または凸部を有するように形成されたことを特徴とする半導体装置。

【請求項 2】 半導体ウェーハの主面に形成されたチップ領域と、上記チップ領域の外周を画する溝部と、上記チップ領域の表面から上記溝部の内面に連続して形成されたスパッタ膜を備えるものにおいて、上記溝部の側壁の輪郭が凹部または凸部を有するように形成されたことを特徴とする半導体装置。

【請求項 3】 上記溝部の一方の側壁の凹部または凸部が、対向する他方の側壁の凹部または凸部と交互に位置するように形成されたことを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 4】 上記溝部の一方の側壁の凸部が、対向する他方の側壁の凹部に入るように形成されたことを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】 上記凹部または凸部の平面形状が、矩形、三角形または円形の部分形状であることを特徴とする請求項 1 ないし 4 のいずれかに記載の半導体装置。

【請求項 6】 半導体基板の表面においてチップ領域を画する溝部をこの溝部側壁の輪郭が凸部又は凹部を有するように形成する工程と、上記チップ領域の表面から上記溝部の内面に連続してスパッタ膜を形成する工程と、上記溝部の外側に沿って上記半導体基板をダイシングする工程とを含むことを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 この発明は、半導体ウェーハのチップ領域に形成される溝部の形状を改善した半導体装置あるいはチップ領域の外周を画する溝部の形状を改善した半導体装置及びその製造方法に関するものである。

## 【0002】

【従来の技術】 図 5 は、従来の半導体製造方法の過程における半導体ウェーハの要部を示す断面図であり、図 5 (a) はウェーハ中央部に形成された溝部の断面図、図 5 (b) はウェーハ周辺部に形成された溝部の断面図、図 5 (c) はウェーハ周辺部におけるスパッタ膜の膜剥がれ状況を模式的に示す断面図である。図 5 において、1 は半導体ウェーハ 10 において形成された溝部、4 はスパッタ膜の形成時にスパッタされるスパッタ粒子、5 はチップ領域 2 の表面から溝部 1 の内面にかけて連続して形成されたスパッタ膜、6 は層間絶縁膜を示す。

【0003】 ウェーハ 10 の中央部における溝部 1 のパターンには、図 5 (a) に示すように、均一にスパッタ

膜 5 が形成されるが、ウェーハ 10 の周辺部では、図 5 (b) に示すように斜めに入射するスパッタ粒子 5 が多くなり、側壁 1 a、1 b のスパッタ膜厚に偏りが生じる。その結果、スパッタ膜 5 の薄い部分がストレス等に対して弱くなり、図 5 (c) に示すように、膜剥がれを生じやすくなる。すなわち、スパッタ膜のカバレッジ (coverage) 不良、あるいは被覆性の不良に起因する膜はがれを生じやすくなる。

【0004】 図 6 は、半導体ウェーハ上のチップ領域とこのチップ領域の外周に形成された溝部とを説明するための図であり、図 6 (a) は半導体ウェーハの一部平面図、図 6 (b) その溝部の断面図である。図 6 において、チップ領域 2 はその外周を溝部 1 によって区画されている。3 はダイシングラインである。半導体ウェーハ 10 の表面は、縦横のダイシングライン 3 によって区分され、各区分がチップ領域 2 とされ、チップ領域 2 とダイシングライン 3 の境界に溝部 5 が形成されている。

【0005】 図 6 (b) は、この溝部の断面形状を示している。この例では、半導体ウェーハ 10 の上に、溝部 1 を形成してスパッタ膜 5 が施された層間絶縁膜 6 が 3 層に形成されている例を示している。また、7 は第 1 メタル層、8 は第 2 メタル層、9 はフィールド絶縁膜を示す。半導体ウェーハ 10 は、チップ領域 2 に半導体回路を形成した後、ダイシングライン 3 に沿ってダイシングされ分割される。チップ領域 2 を取り巻く溝部 1 のパターンは、ダイシングの際、クラックがチップ 2 内部に及ぶのを防ぐ為に設けるものである。したがって、図 6 (b) に示すように、各層間絶縁膜 6 ごとに形成される。

【0006】 このように従来の半導体ウェーハにおいては、チップ領域 2 を囲む溝部 1 は直線状に形成され、その対向する側壁も平面図でみれば直線状であった。このような直線状の溝部パターンでは、図 5 で説明したようなスパッタ膜 5 の膜剥がれが非常に起りやすいと考えられる。

## 【0007】

【発明が解決しようとする課題】 この発明は上記のような問題点を解決する為になされたものであり、スパッタ膜のカバレッジ不良に起因する膜剥がれを防止できる半導体装置およびその製造方法を提供するものである。

## 【0008】

【課題を解決するための手段】 この発明の半導体装置は、半導体ウェーハの主面に形成されたチップ領域と、上記チップ領域に形成された溝部と、上記チップ領域の表面から上記溝部の内面に連続して形成されたスパッタ膜を備えるものにおいて、上記溝部の側壁の輪郭が凹部または凸部を有するように形成されたことを特徴とするものである。

【0009】 また、この発明の半導体装置は、半導体ウェーハの主面に形成されたチップ領域と、上記チップ領

域の外周を画する溝部と、上記チップ領域の表面から上記溝部の内面に連続して形成されたスパッタ膜を備えるものにおいて、上記溝部の側壁の輪郭が凹部または凸部を有するように形成されたことを特徴とするものである。

【0010】また、この発明の半導体装置は、上記溝部の一方の側壁の凹部または凸部が、対向する他方の側壁の凹部または凸部と交互に位置するように形成されたことを特徴とするものである。

【0011】また、この発明の半導体装置は、上記溝部の一方の側壁の凸部が、対向する他方の側壁の凹部に入るように形成されたことを特徴とするものである。

【0012】また、この発明の半導体装置は、上記凹部または凸部の平面形状が、矩形、三角形または円形の部分形状であることを特徴とするものである。

【0013】また、この発明の半導体装置の製造方法は、半導体基板の表面においてチップ領域を画する溝部をこの溝部側壁の輪郭が凸部又は凹部を有するように形成する工程と、上記チップ領域の表面から上記溝部の内部に連続してスパッタ膜を形成する工程と、上記溝部に沿って上記半導体基板をダイシングする工程とを含むことを特徴とするものである。

【0014】

【発明の実施の形態】以下、図面を参照してこの発明の実施の形態について説明する。なお、各図において、同一または相当する部分には、同一の符号を付してその説明を簡略化もしくは省略する。

実施の形態 1. 図 1 は、この発明の実施の形態 1 による、チップ領域の内部あるいは外周に形成された溝部のパターンの形状を示す図であり、図 1 (a) は溝部パターンの平面図、図 1 (b) ~ 図 1 (d) はスパッタ膜のカバレッジ (coverage) の状態を示す溝部 5 の各部の断面図であり、図 1 (b)、図 1 (c)、図 1 (d) はそれぞれ図 1 (a) の M-M' 線、N-N' 線、O-O' 線に沿った断面図である。

【0015】この図 6 に示すように、この実施の形態においては、溝部 1 は対向する側壁 1 a, 1 b の輪郭が凹部もしくは凸部を有するように形成されていることが特徴である。これは、溝部 1 を上面から見たときに、側壁の平面形状に凹部または凸部が形成されていると言ってもよい。また、この実施の形態では、溝部 1 の対向する側壁 1 a, 1 b の凹部どうし、あるいは凸部どうしが対向している。あるいは、溝部 1 の中心線に対して対称の関係にあると言ってもよい。

【0016】このような溝部 1 は、必要に応じてチップ領域の一部に形成されていても、またチップ領域の広い範囲にわたって所要の位置に形成されていてもよい。代表的な適用例は、図 6 に示したように、このような溝部 1 が半導体ウェーハ 10 において、チップ領域を区画する外周に方形の環状に形成されている場合である。

【0017】このような溝部パターンの効果について図 1 を用いて説明する。例として図 1 (a) の溝部パターンがウェーハ周辺にあり、図 1 (b) に示すような向きのスパッタ粒子 4 の入射が多くなる場合を考える。この場合、ウェーハ中心は紙面右又は左方向になり、ここでは仮に紙面左方向にウェーハ中心があるものとする。このとき、図 1 (a) における M-M' 断面である図 1

(b) や、N-N' 断面である図 1 (c) からわかるように、図 1 (a) における溝部側壁 1 a の辺 DE、BC の壁面には、スパッタの影部分になるため、スパッタ膜 5 が形成されにくくカバレッジ (coverage) が悪くなる。

【0018】一方、図 1 (a) における O-O' 断面である図 1 (d) に示すように、溝部側壁 1 a の辺 AB、CD、EF にはスパッタ粒子 4 が入射する為、辺 AB、CD、EF は正常にスパッタ膜 5 が形成される。従って、カバレッジ (coverage) の悪い辺 BC をカバレッジのよい辺 AB、CD で補強し、また、カバレッジの悪い辺 DE をカバレッジのよい辺 CD、EF で補強することによって、スパッタ膜 5 の膜剥がれを生じにくくすることができる。また、紙面右方向にウェーハ中心がある場合も同様であり、溝部側壁 1 b の辺 HI を辺 GH、IJ で補強し、辺 JK を辺 IJ、KL で補強することができる。両側の側壁 1 a, 1 b の輪郭形状に凸部を設けてあるのはこの為である。

【0019】ここで、図 1 (a) に示すように、溝部側壁の凸部および凹部の形状を、凸部の幅を d 1、凹部の幅を d 2、凸部の奥行きを d 3、対向する側壁 1 a, 1 b の最小間隙を d 4 とすると、d 1, d 2, d 3, d 4 のそれぞれの長さや比はこの図に示したようなものに限らず様々であるが、例えば、d 1 = d 2 = d 3 = d 4 = 0. 4  $\mu$ m 等である。また、スパッタ膜 5 に用いる材料としては、一例としては TiN/Ti = 1000/200 Å 等が挙げられる。

【0020】図 2 は、この発明の実施の形態による、チップ領域を区画する溝部のパターンの他の形状を示す図であり、溝部パターンの平面図を示している。図 2

(a) では、直線状の溝部 1 の両方の側壁 1 a, 1 b に半円形あるいは半楕円形の凹部あるいは窪みが形成されている。図 2 (b) では、直線状の溝部 1 の両方の側壁 1 a, 1 b に三角形の二辺からなる形状の凹部あるいは窪みが形成されている。このように、溝部 1 の側壁に形成される凹部または凸部は、方形に限らず円形や三角形でも同様の効果が得られる。要は、スパッタ粒子の入射方向に対して垂直ではなく、平行となる成分を有すれば、それに応じてスパッタ膜が形成され、膜剥がれ防止の効果を生じる。

【0021】次に、上記のようなチップ領域を区画する溝部が応用される半導体装置の製造方法の概略について説明する。まず、半導体ウェーハ上にチップ領域を形成する。そして、このチップ領域にトランジスタなどの能動素子や抵抗などの受動素子を形成し、所望の回路を形

成する。次に、この回路を層間絶縁膜によって覆う。次に、この層間絶縁膜に層間を接続するためのビアホール (viaホール) を開口するために、所定のパターンを有するフォトリソマスクを形成する。

【0022】以上は、通常の半導体デバイス形成のプロセスであるが、この実施の形態では、フォトリソマスクの形成時に、チップ領域の外周に図1で示したような溝部を形成するためのパターンを形成する。すなわち、ビアホール開口用と同時に、溝部開口用のレジストパターンを形成する。

【0023】次に、エッチングによりホールを開くすると同時に、溝部パターンをエッチングしてチップ外周に溝部を形成する。その後、チップ領域の表面から溝部の内面に連続するスパッタ膜を形成する。さらにその後、タングステン CVD等によりホール及び溝部を埋め込み、これをエッチバックしてメタル配線を形成する。

【0024】以上が、多層に形成される半導体装置の一層の形成の概略プロセスである。このプロセスをメタル配線総数に応じて繰り返す。必要な層数の積層を終了後に、全体にパッシベーション膜を形成する。しかる後に、ダイシングラインに沿って半導体ウェーハをダイシングし、複数のチップを得る。このチップを実装して半導体装置を得る。

【0025】以上のとおりであるが、さらにこの半導体装置の製造方法を次のように要約することができる。すなわち、まず、半導体基板の表面においてチップ領域を画する溝部をこの溝部側壁の輪郭が凸部又は凹部を有するように形成する。その後に必要なプロセスを経た後、チップ領域の表面から溝部の内部に連続してスパッタ膜を形成する。さらにその後、必要なプロセスを経た後、溝部に沿って半導体基板をダイシングし、複数のチップを得る。なお、この実施の形態を適用できる機種は、例えばDRAM、SRAM、ロジック品種等各種の半導体装置に及ぶものであり、限定されるものではない。

【0026】実施の形態2。図3は、この発明の実施の形態2による、チップ領域に形成された溝部、あるいはチップ領域の外周を区画するように形成された溝部のパターンの形状を示す図であり、溝部パターンの平面図である。この実施の形態では、対向する溝部側壁の凹部と凸部の位置関係がずれており、一方の側壁の凹部の位置に、他方の側壁の凸部が対応して位置している。これは、一方の側壁部の凹部または凸部が、対向する他方の側壁部の凹部または凸部と交互に位置するように形成されていると言ってもよい。

【0027】このような溝部パターンによっても、実施の形態1と同様の効果が得られる。さらに、これらの溝部パターンにタングステン等を CVD 法によって埋め込む場合、実施の形態1では図1(a)の点Pの部分は近接する溝部側壁が少なくなり、CVD法の原理上埋め込みにくくなることが予想される。これに対し、実施の形態

2では近接する側壁があるので、このような埋め込みの点で有利である。

【0028】実施の形態3。図4は、この発明の実施の形態3による、チップ領域に形成された溝部、あるいは、チップ領域の外周に形成された溝部のパターンの形状を示す図であり、溝部パターンの平面図である。この実施の形態では、溝部1は蛇行して形成されている。あるいは、溝部1の一方の側壁の凸部が、対向する他方の側壁の凹部に入るように形成されていると言ってもよい。

【0029】このような溝部パターンによっても、実施の形態1と同様の効果が得られる。さらに、これらの溝部パターンにタングステン等を CVD 法によって埋め込む場合、溝部のどこにおいても近接する側壁があるので、埋め込みの点で有利である。

【0030】  
【発明の効果】以上説明したように、この発明によれば、半導体基板の表面においてチップ領域の中に溝部を形成し、かつこの溝部側壁の輪郭が凸部又は凹部を有するように形成するので、半導体装置の製造において、半導体ウェーハの表面に形成したスパッタ膜の膜剥がれを生じにくくする効果がある。これにより、半導体装置製造の歩留まりの向上と、得られた半導体装置の性能の安定化を図ることができる。

【0031】また、この発明によれば、半導体基板の表面においてチップ領域を区画する外周に溝部を形成し、かつこの溝部側壁の輪郭が凸部又は凹部を有するように形成するので、半導体装置の製造において、半導体ウェーハの表面に形成したスパッタ膜の膜剥がれを生じにくくする効果がある。また、半導体ウェーハを複数のチップにダイシングする際、クラックがチップ内部に及ぶのを防ぐとともに、スパッタ膜の膜剥がれを生じにくくする効果がある。これにより、半導体装置製造の歩留まりの向上と、得られた半導体装置の性能の安定化を図ることができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1による、チップ領域の内部あるいは外周の溝部パターンの形状例を示す図。

【図2】 この発明の実施の形態1による、チップ領域外周の内部あるいは外周の溝部パターンの他の形状例を示す図。

【図3】 この発明の実施の形態2による、溝部パターンの形状を示す平面図。

【図4】 この発明の実施の形態3による、溝部パターンの形状を示す平面図。

【図5】 半導体ウェーハの溝部パターンにスパッタ膜を形成したときの断面図。

【図6】 半導体ウェーハのチップ領域をダイシングライン沿いの溝部パターンを示す図。

【符号の説明】

10

20

30

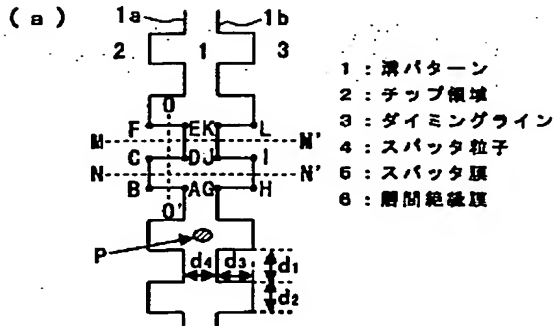
40

50

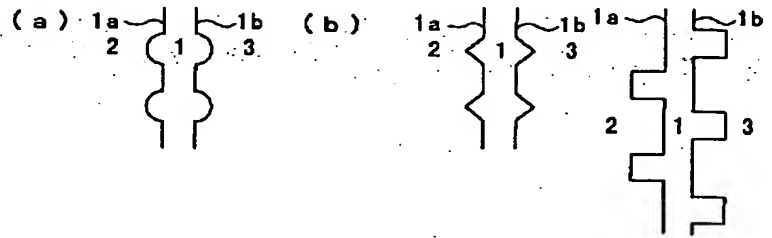
7  
1 溝部、1a、1b 側壁、2 チップ領域、  
3 ダイシングライン、4 スパッタ粒子、5 ス  
パッタ膜、6 層間絶縁膜、7 第1メタル、8

8  
第2メタル、9 フィールド酸化膜、10 ウェ  
ーハ。

【図1】

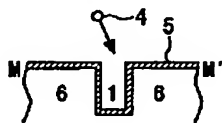


【図2】

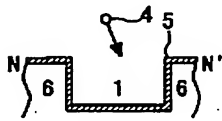


【図3】

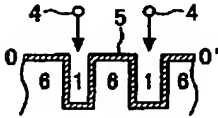
(b)



(c)

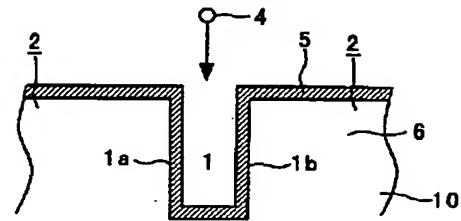


(d)

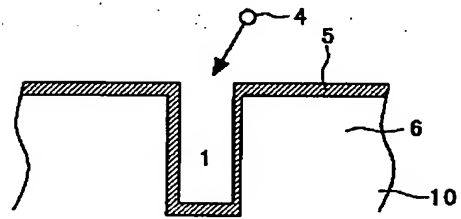


【図5】

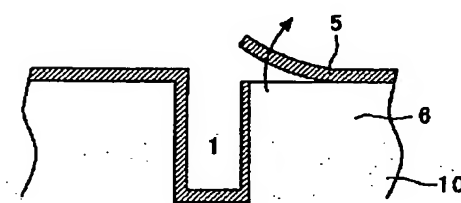
(a)



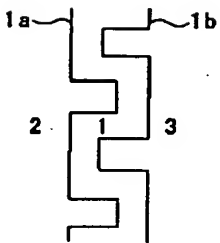
(b)



(c)

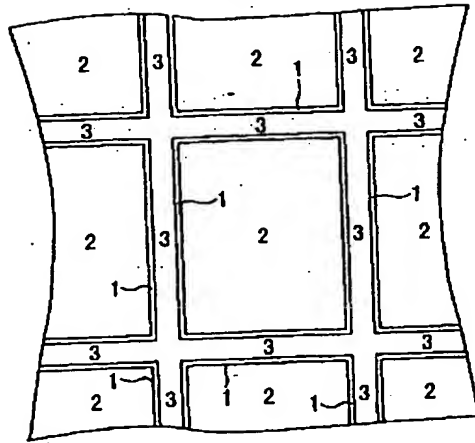


【図4】



【図 6】

( a )



( b )

